

SEL0415

Introdução à Organização de Computadores

Resolução Lista 03 - Portas Tristate

[01] É recorrente o uso de conhecimentos de eletrônica analógica para a construção de circuitos digitais. Nesse tipo de circuito, adota-se como nível lógico alto valores próximos a +5V e nível lógico baixo valores próximos a 0V. Nos casos abaixo, determine a tabela verdade e escreva a expressão booleana para cada um deles.

(a) Quando A está em nível alto temos que há tensão na base do transistor, de forma que o mesmo está ligado, fazendo com que se comporte como um curto, o que faz com que X esteja em nível baixo. De forma análoga, A em nível baixo desliga o transistor, que acaba por se comportar como um aberto, impedindo o fluxo de corrente, o que faz com que X esteja em nível alto. Dessa forma, a característica desse circuito é de uma porta NOT, com $X = \bar{A}$.

(b) Caso A e B estejam em nível baixo, teremos os dois transistores desligados, o que faz com que não flua corrente pelo resistor de $1k$, o que implica que X estará em nível alto. Em qualquer outro caso, um transistor ligado faz com que X esteja ligado ao terra por um curto, estando, portanto, em nível baixo. Dessa forma, a característica desse circuito é de uma porta NOR, com $X = \overline{A + B}$.

(c) Primeiramente, observemos o nó que une D1, D2 e D3. Sabemos que os diodos ou conduzem corrente no sentido do seu símbolo ou não conduzem. Assim, a única corrente que pode “entrar” no nó é a que flui pelo resistor, e que é necessária para atender a Lei das Correntes de Kirchoff. Assim, o nó deve estar obrigatoriamente com um potencial menor que o do nível alto (5V). Dessa forma, caso A e B estejam em nível alto, teremos D1 e D2 desligados, já que o potencial do nó é menor do que o de A e B. Assim, a corrente flui por D3, ligando o transistor Q1, que funciona como um curto, fazendo com que X esteja em nível baixo. Já caso A e/ou B estejam em nível baixo, teremos D1 e/ou D2 ligados, com o nó possuindo cerca de 0.7V (queda de tensão típica de diodos ligados). Assim, D3 também se encontra ligado, fazendo com que a tensão na base de Q1 seja de 0V. Assim, Q1 desligado funciona como um aberto, fazendo com que X esteja em nível alto. Portanto, a característica desse circuito é de uma porta NAND, com $X = \overline{AB}$.

[02] Assinale V para afirmativas verdadeiras e F para as falsas. Justifique estas.

(V) Os circuitos digitais TTL (Transistor-transistor logic) se caracterizam pela prática de utilizar transistores para funções lógicas e de amplificação. A utilização de transistores permitiu a redução do tamanho dos circuitos digitais, de modo que pôde-se inserir diversas portas lógicas em um único chip.

(F) A tecnologia de portas lógicas CMOS é mais barata e dissipa menos potência que a TTL, uma vez que não apresenta resistores; entretanto, é mais lenta e menos durável.

A CMOS também é mais rápida e mais durável que a TTL.

(V) Totem-pole se trata de uma configuração de saída de circuitos TTL com dois transistores. Ela surge como uma alternativa que atenua a característica do TTL de apresentar uma alta impedância de saída em nível alto, o que limitava o número de entradas que podiam ser conectadas.

(F) Os circuitos com saída em coletor aberto surgem para solucionar o conflito de barramento que ocorre caso sejam ligadas duas saídas totem-pole com níveis lógicos diferentes. Entretanto, esse tipo de configuração necessita de um resistor de pull-up, cuja função é interconectar a saída de um porta lógica a outra.

A função do resistor de pull-up é a de garantir que a saída em nível alto tenha valor determinado.

(F) Atualmente, o uso mais comum dos circuitos com saída em coletor aberto é como drivers, que se tratam de componentes que limitam a magnitude da corrente de saída de um circuito digital, de forma a não gerar danos à carga conectada ao mesmo.

Na verdade, um driver permite que a saída de um circuito lógico tenha uma corrente mais alta que a usual, de forma que esse tipo de circuito pode acionar cargas mais robustas.

(F) As portas tristate possuem saída em nível alto, nível baixo e alta impedância, que ocorre quando a porta está desabilitada, de forma que saídas de CIs com tristate podem ser ligadas juntas, basta que apenas uma seja habilitada por vez. Entretanto, a conexão de saídas tristate diminui a velocidade de chaveamento quando se compara com outras configurações TTL.

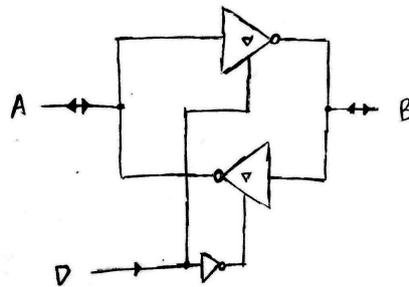
A conexão de saídas de várias portas tristate não afeta a velocidade de chaveamento.

[03] Considerando que as portas lógicas abaixo possuem saídas em coletor aberto, de modo que geram uma conexão wired-AND, qual a expressão booleana para a seguinte saída?

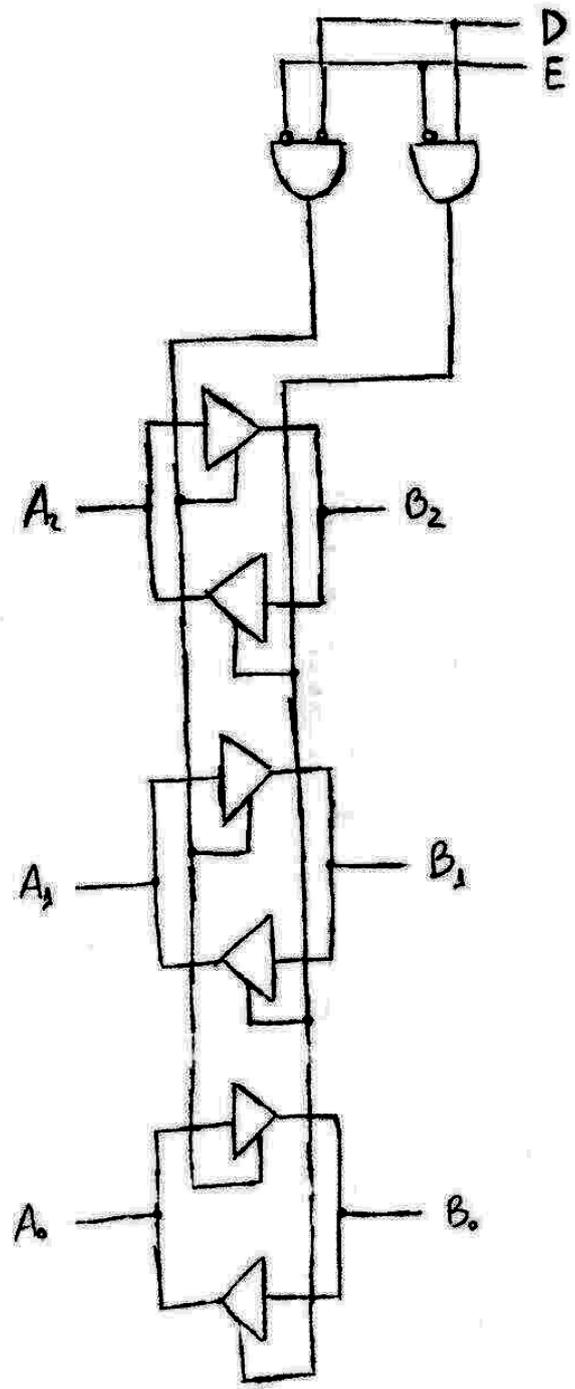
As conexões wired-AND são as que ocorrem entre saídas de portas lógicas com saída em coletor aberto, de forma que a conexão funciona como uma porta AND. Assim, a expressão do circuito da figura é $X = (\overline{AB})(\overline{CD})(\overline{EF})$.

[04] Esquematize os seguintes hardwares com saídas tristate:

(a) Utilize buffers tristate inversores e portas lógicas para criar um duto bidirecional.



(b) Utilize buffers tristate não inversores e portas lógicas para criar três dutos bidirecionais, que podem ser todos desabilitados ao mesmo tempo.



[05] Considere três dispositivos de entrada da família TTL que devem ser conectados a um microprocessador de 4 bits. A partir de portas tristate, esquematize o hardware de modo a garantir que não ocorra conflito na transmissão de dados. Utilize os sinais $E_1 E_0$ para habilitar as saídas dos dispositivos, de modo que 11 habilite o contador, 10 habilite as chaves, 01 habilite o conversor A/D e 00 desabilite todos.

