

Capítulo 5

DECODIFICADORES

5.1	Decodificadores.....	73
5.1.1	Decodificador 2-para-4, com saídas ativas em alto	73
5.1.2	Decodificador 2-para-4, com saídas ativas em baixo	74
5.1.3	Decodificadores 3-para-8	75
5.2	Entrada de Controle de Habilitação do Chip (Enable Control Inputs)	76
5.2.1	Decodificador 2-para-4, com saídas ativas em baixo, com <i>ENABLE</i>	76
5.3	Decodificadores 7442 e 74154	77
5.3.1	Decodificador 7442.....	77
5.3.2	Decodificador 74154.....	78
5.4	EXERCÍCIOS	79

5.1 Decodificadores

Um decodificador é o circuito lógico que converte um código binário de N bits que lhe é apresentado como entrada, em M linhas de saída, sendo que cada linha de saída será ativada por uma, e, somente uma, das possíveis combinações dos bits de entrada. Os decodificadores são ferramentas importantes nos projetos digitais, pois são amplamente utilizados para selecionar memórias e realizar conversões de códigos (por exemplo, binário para decimal) e roteamento de dados.

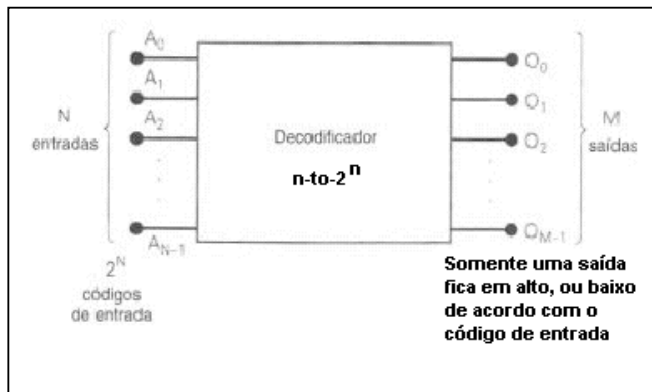


Figura 1. Esquema de um decodificador

Visando entender melhor como funcionam os decodificadores, será mostrado na figura 2 a implementação de um decodificador 2-para-4 usando portas *and*.

5.1.1 Decodificador 2-para-4, com saídas ativas em alto

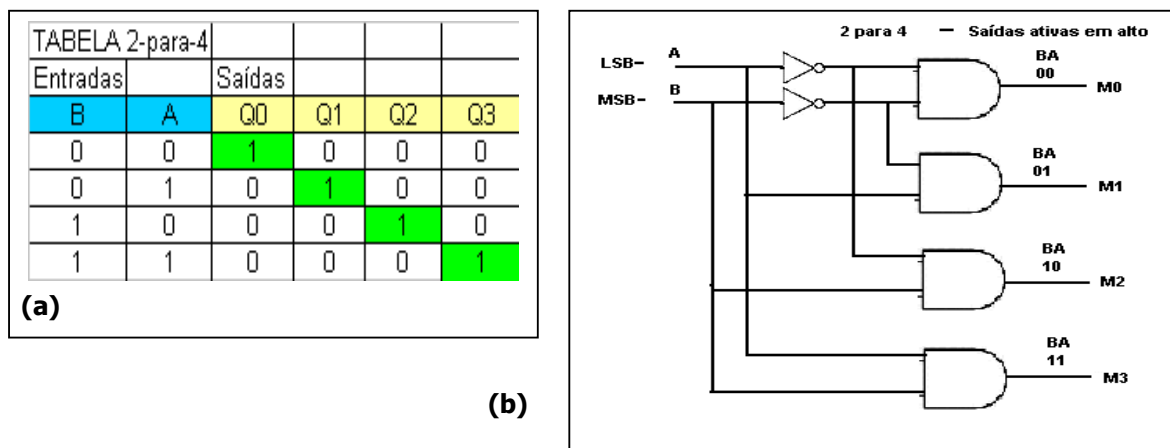


Figura 2. Implementação de um decodificador 2-para-4, com saídas ativas em alto, usando portas *and*. (a) Tabela; (b) circuito lógico.

5.1.2 Decodificador 2-para-4, com saídas ativas em baixo

Uma outra implementação pode ser feita utilizando-se portas *Nand* com a finalidade de colocar as saídas ativas em zero, pois nas aplicações com memórias a seleção ocorre através da porta CS da memória (*chip select*), que é ativa em nível lógico baixo (zero).

(a)

TABELA 2-para-4					
Entradas		Saídas			
B	A	Q0	Q1	Q2	Q3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

(b)

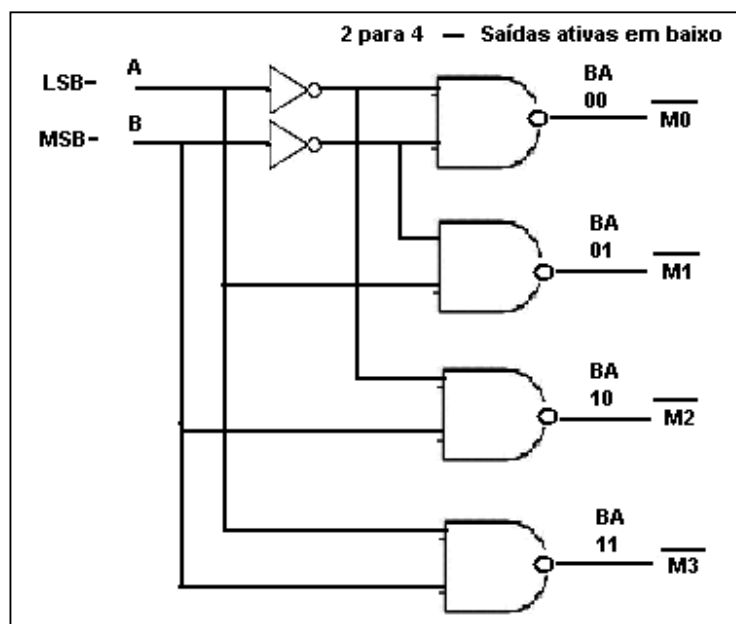


Figura 3. Implementação de um decodificador 2-para-4, com saídas ativas em baixo, usando portas *nand*. (a) Tabela; (b) circuito lógico.

As configurações mostradas acima possuem limites de projeto, pois observe que o circuito foi implementado com apenas um nível lógico, exigindo M portas *And* ou *Nand* com N entradas para cada porta lógica. Assim, haverá problemas quando o número de variáveis de entrada aumentar, pois cada saída deverá possuir informações sobre todas as entradas. Este problema é resolvido implementando-se os circuitos em árvores de decodificadores ou em multi-nível lógico.

5.1.3 Decodificadores 3-para-8

Para decodificadores 3-para-8 têm-se as configurações das figuras 4a, 4b e 4c.

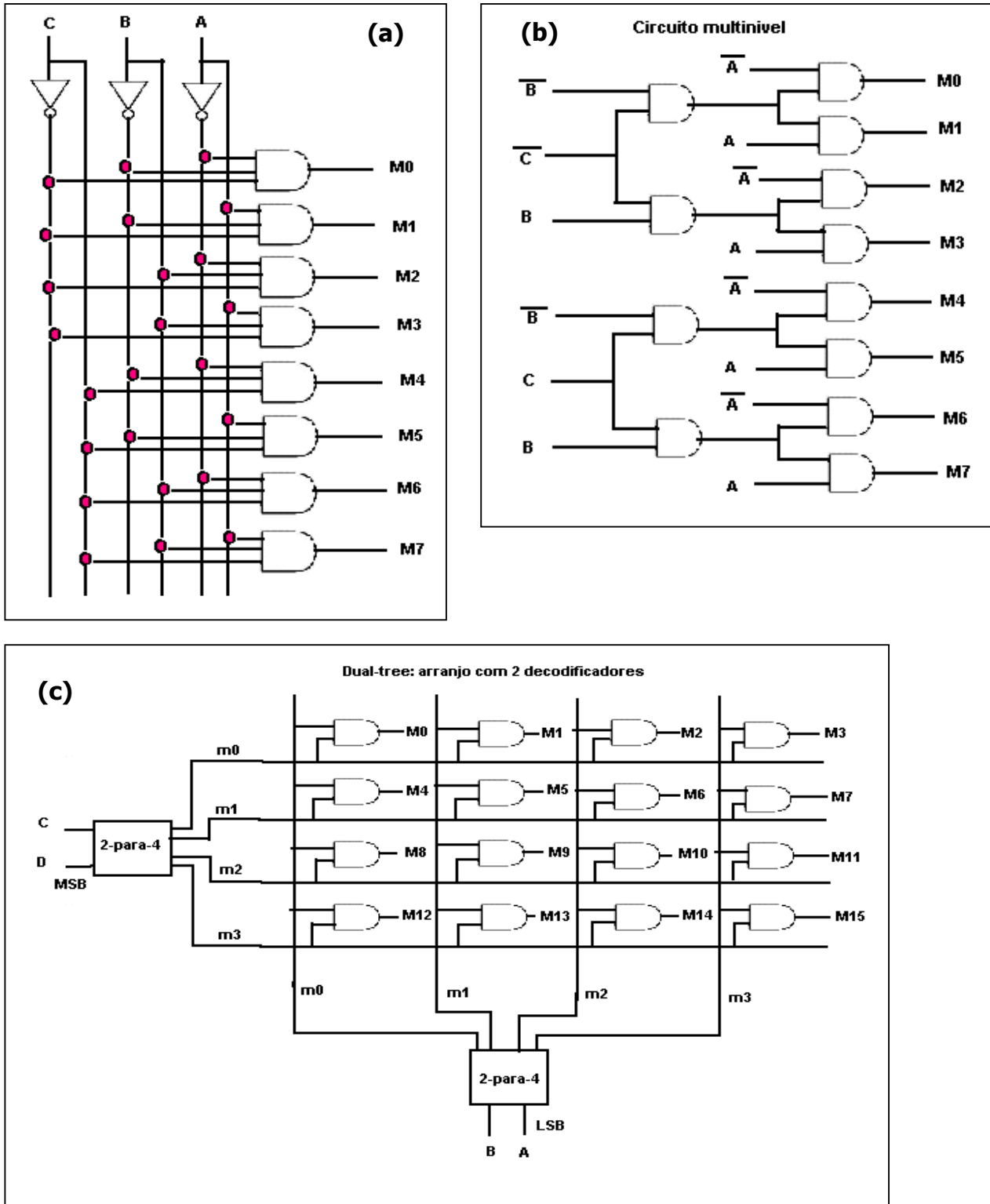


Figura 4. Decodificadores 3-para-8.

5.2 Entrada de Controle de Habilitação do Chip (Enable Control Inputs)

5.2.1 Decodificador 2-para-4, com saídas ativas em baixo, com *ENABLE*

Os decodificadores freqüentemente possuem uma ou mais entradas, que possibilitam habilitar ou desabilitar o funcionamento das saídas do chip. Quando o circuito está desabilitado todas as suas saídas são forçadas a apresentar o estado inativo, independente dos valores de entrada, como mostra a figura 5.

Um dos mais comuns usos dos pinos de “enable” é para estender a capacidade de codificação, permitindo múltiplos decodificadores em cascata.

(a)

TABELA 2-para-4 com enable						
Enable	Entradas		Saídas			
E	B	A	Q0	Q1	Q2	Q3
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0
1	X	X	1	1	1	1

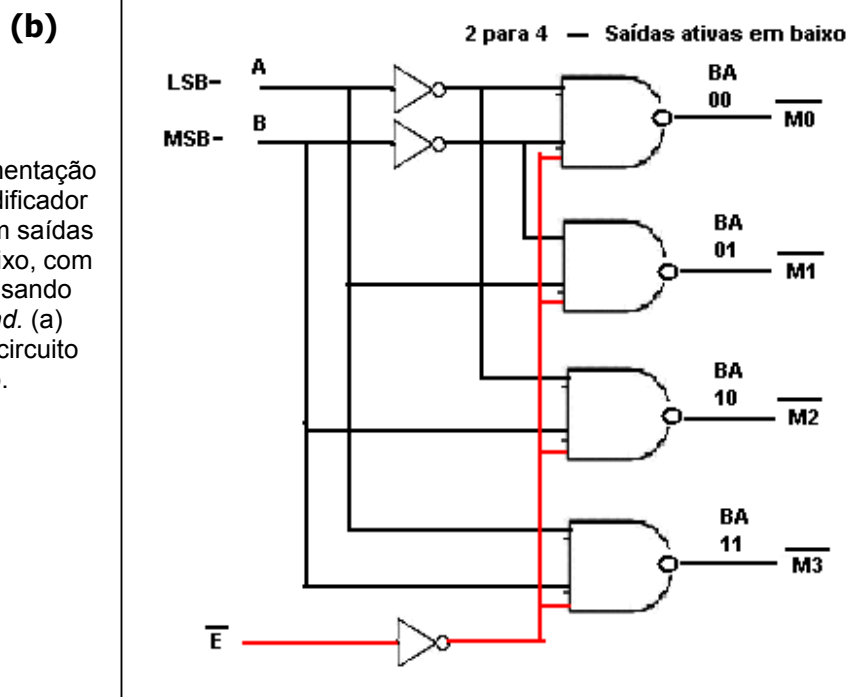


Figura 5. Implementação de um decodificador 2-para-4, com saídas ativas em baixo, com *ENABLE*, usando portas *nand*. (a) Tabela; (b) circuito lógico.

5.3 Decodificadores 7442 e 74154

Agora, iremos analisar 2 decodificadores muito importantes na seleção de memórias: os 7442 e 74154.

5.3.1 Decodificador 7442

A figura 6a mostra a tabela de entradas e saídas do decodificador 7442. Os 7442 são decodificadores de 4-para-10 com saídas ativas em nível baixo. A figura 6b mostra o circuito lógico destes decodificadores.

TABELA 4-para-10														
Num	Entradas				Saídas									
	D	C	B	A	M0	M1	M2	M3	M4	M5	M6	M7	M8	M9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	L	L	L	H	H	H	H	H	H	H	H	L	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L
I	H	L	H	L	H	H	H	H	H	H	H	H	H	H
N	H	L	H	H	H	H	H	H	H	H	H	H	H	H
V	H	H	L	L	H	H	H	H	H	H	H	H	H	H
A	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	H	H	H	L	H	H	H	H	H	H	H	H	H	H
I.	H	H	H	H	H	H	H	H	H	H	H	H	H	H

H = nível alto = 1
L = nível baixo = 0

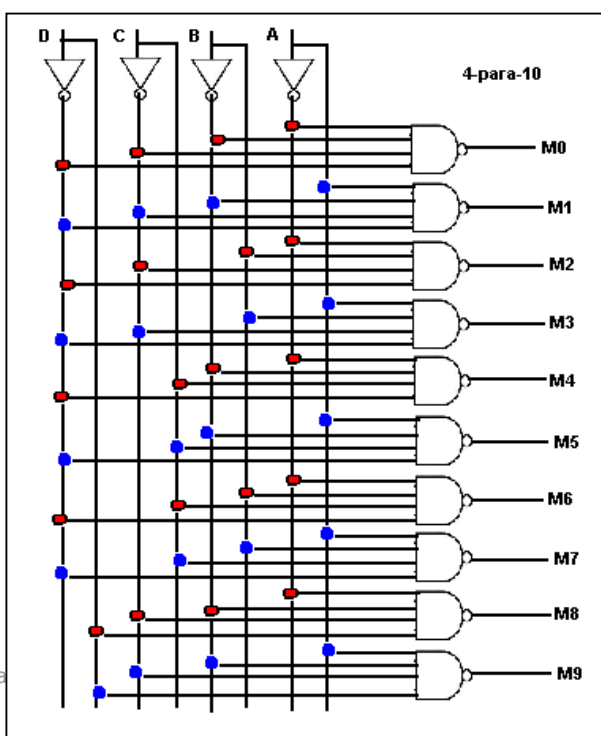


Figura 6. Decodificador de 4-para-10 com saídas ativas em nível baixo.

5.4 EXERCÍCIOS

Na figura 8 determinar qual o decodificador e qual saída serão seleccionados, considerando que B é o bit mais significativo da entrada, e que os decodificadores são ativos em nível lógico baixo.

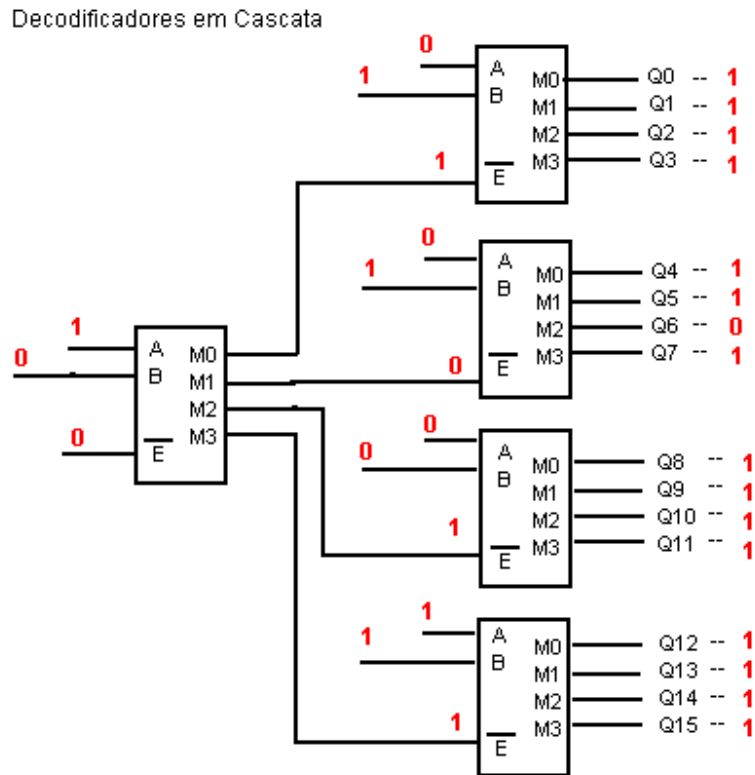


Figura 8. Decodificador 2-4.

Nas figuras 9, 10, 11 e 12 determinar a saída seleccionada pelo decodificador, considerando D o bit mais significativo e o decodificador ativo em nível lógico baixo.

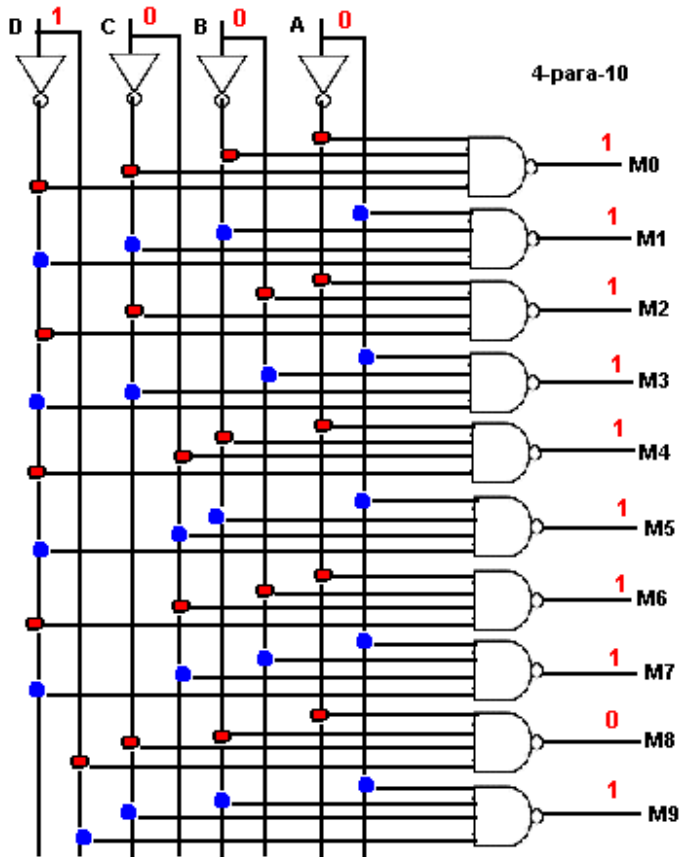


Figura 9. Decodificador 4-10.

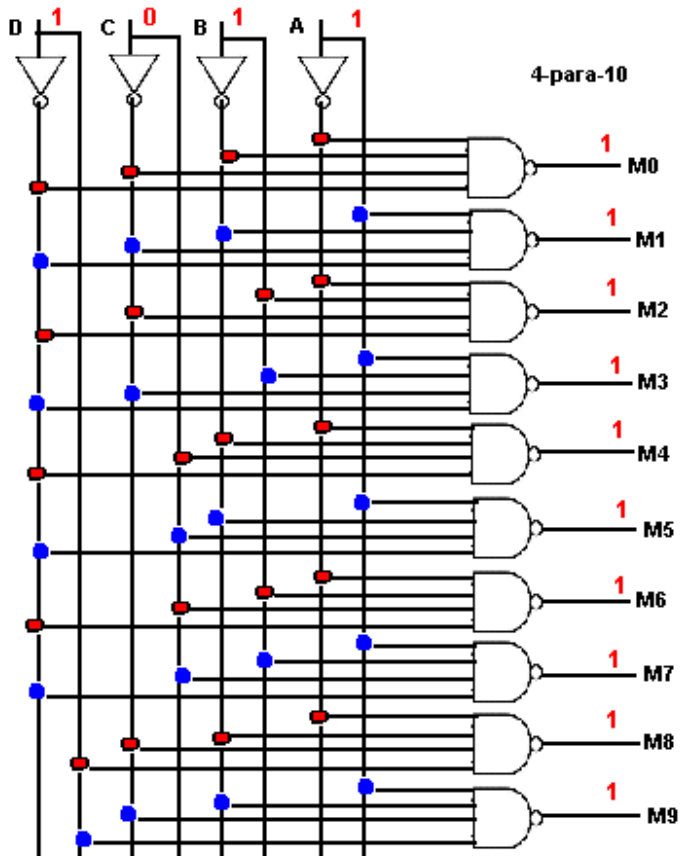


Figura 10. Decodificador 4-10.

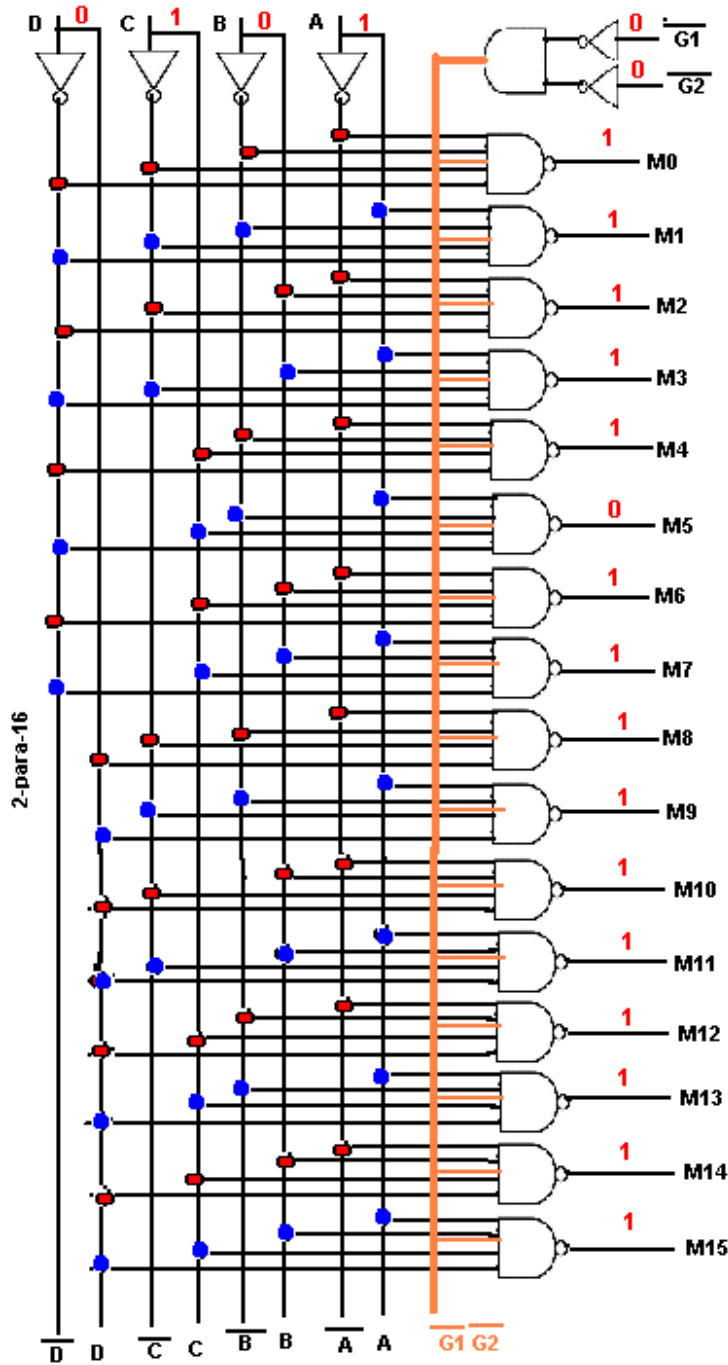


Figura 11. Decodificador 4-10.